

Requested Patent: JP4257826A
Title: MANUFACTURE OF ACTIVE MATRIX SUBSTRATE ;
Abstracted Patent: JP4257826 ;
Publication Date: 1992-09-14 ;
Inventor(s): UJIMASA HITOSHI; others: 01 ;
Applicant(s): SHARP CORP ;
Application Number: JP19910020074 19910213 ;
Priority Number(s): ;
IPC Classification: G02F1/136; G02F1/1343 ;
Equivalents: ;

ABSTRACT:

PURPOSE:To prevent a pixel electrode from peeling by surface-treating an organic transparent insulating film in the atmosphere of inert gas which is made plasma.

CONSTITUTION:Thin film transistors 30 are arranged on a substrate 1 in matrix to form a thin film transistor array. Contact holes 12 are made by applying a transparent insulating film 10 to the surface of the array and patterning. The precision of the surface is improved by surface-treating the transparent insulating film 10 in the atmosphere of inert gas made plasma. After that, pixel electrodes 11 are obtained by forming a conductive film on the surface of the transparent insulating film 10 and patterning. Thereby adhesive strength between the transparent insulating film 10 and the pixel electrode 11 is increased.

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平4-257826

(43)公開日 平成4年(1992)9月14日

(51)Int.Cl.⁵

G 0 2 F 1/136
1/1343

識別記号

5 0 0

府内整理番号

9018-2K
9018-2K

F I

技術表示箇所

審査請求 未請求 請求項の数1(全4頁)

(21)出願番号

特願平3-20074

(22)出願日

平成3年(1991)2月13日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 氏政 仁志

大阪市阿倍野区長池町22番22号 シャープ
株式会社内

(72)発明者 田仲 広久

大阪市阿倍野区長池町22番22号 シャープ
株式会社内

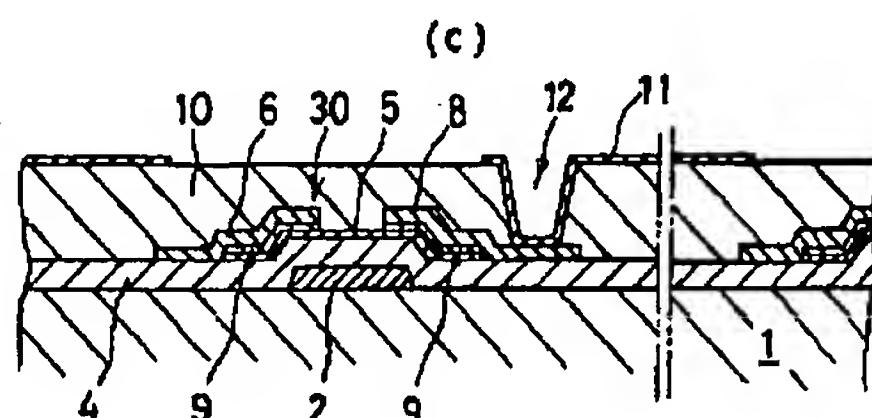
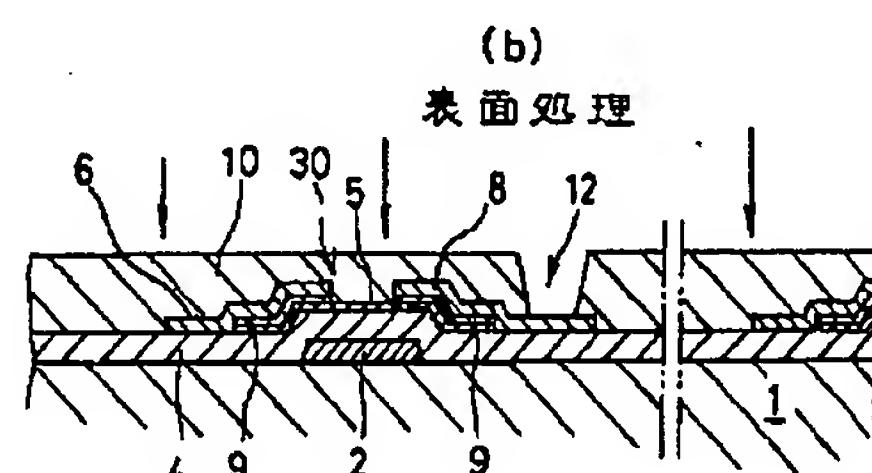
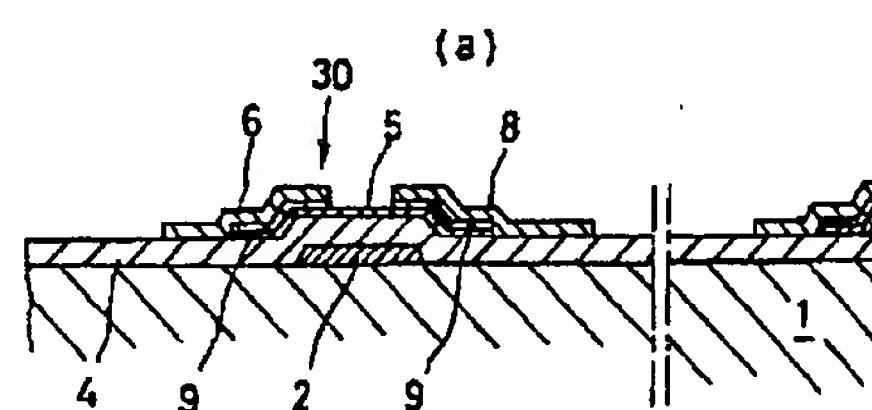
(74)代理人 弁理士 山本 秀策

(54)【発明の名称】 アクティブマトリクス基板の製造方法

(57)【要約】

【目的】 アクティブマトリクス基板の製造時に、絵素電極40が層間絶縁膜10から剥離するのを防止する。

【構成】 アクリル樹脂からなる層間絶縁膜10の表面をAr等の不活性ガスをプラズマ化した雰囲気下で表面処理し、その後に、層間絶縁膜10上にITO膜を成膜し、この膜をウェットエッチャントを用いてパターニングして絵素電極11を得る。



【特許請求の範囲】

【請求項1】透明絶縁性基板上に薄膜トランジスタをマトリクス状に配設して薄膜トランジスタアレイを形成する第1の工程と、該薄膜トランジスタアレイの表面に有機系透明絶縁膜を塗布してパターニングする第2の工程と、該有機系透明絶縁膜を不活性ガスをプラズマ化した雰囲気下で表面処理する第3の工程と、表面処理後の該有機系透明絶縁膜の表面に透明導電膜をパターニングし、該薄膜トランジスタアレイのドレイン電極に電気的に接続される絵素電極を形成する第4の工程とを含むアクティブマトリクス基板の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、対向基板と貼り合わせられて液晶表示装置を形成するアクティブマトリクス基板の製造方法に関する。

【0002】

【従来の技術】従来より、液晶表示装置、EL表示装置、プラズマ表示装置等においては、マトリクス状に配列された絵素電極を選択駆動することにより、画面上に表示パターンが形成される。選択された絵素電極とこれに対向する対向電極との間に電圧が印加され、これらの電極の間に介在する液晶等の表示媒体の光学的変調が行われる。この光学的変調が表示パターンとして視認される。絵素電極の駆動方式として、個々の独立した絵素電極を配列し、この絵素電極のそれぞれにスイッチング素子を連結して駆動するアクティブマトリクス駆動方式が知られている。絵素電極を選択駆動するスイッチング素子としては、TFT(薄膜トランジスタ)素子、MIM(金属-絶縁層-金属)素子、MOSトランジスタ素子、ダイオード、バリスタ等が一般的に知られている。アクティブマトリクス駆動方式は、高コントラストの表示が可能であり、且つ表示容量に制約がない、といった利点を有し、液晶テレビジョン、ワードプロセッサ、コンピュータの端末表示装置等に実用化されている。

【0003】その一例としての、アクティブマトリクス液晶表示装置は、TFTが形成されたアクティブマトリクス基板と、対向電極を有する対向基板とを貼り合わせ、両基板間に液晶を封入して作成される。図3はこのようなアクティブマトリクス基板の一従来例を示しており、以下のようにして作成される。まず、ガラス等からなる透明絶縁性の基板1上にTa、Cr等の金属からなるゲート電極2を形成し、次いで、該ゲート電極2を覆うようにしてSiNx、SiOx等からなるゲート絶縁膜4、非晶質シリコン(以下a-Siと称する)、多結晶シリコン、CdSe等からなる半導体層5をこの順に積層する。次いで、Ti、Mo、Al等からなるソース電極6およびドレイン電極8をパターニングにより形成してTFT30を得る。なお、オーム接続用のコンタクトをとるために、通常、半導体層5とソース電極6およびドレ

イン電極8との間にはリン(P)をドーピングしたn+a-Si層9が形成される。

【0004】そして、以上のようにしてTFT30が作成された基板1上にポリイミドやアクリル樹脂等の層間絶縁膜(透明絶縁膜)10を塗布し、その表面にITO(Indium Tin Oxide)等の透明導電膜を成膜し、これをパターニングして絵素電極11を形成する。絵素電極11は層間絶縁膜10に形成されたコンタクトホール12を介してドレイン電極8に接続される。

【0005】

【発明が解決しようとする課題】しかしながら、上記従来例では、層間絶縁膜10をポリイミドやアクリル樹脂で形成するため、該層間絶縁膜10とITO等の透明導電膜で形成される絵素電極11との密着性が悪く、絵素電極11をパターニングする際に使用されるウェットエッチャントが層間絶縁膜10と絵素電極11との密着不良部に染み込み、絵素電極11が層間絶縁膜10から剥離され、これに起因する断線等の不具合を発生しやすいという問題がある。このため、不良品が多発し、アクティブマトリクス基板の歩留まり低下の要因となっていた。

【0006】本発明はこのような従来技術の欠点を解決するものであり、絵素電極の剥離が起因する断線等の不具合を確実に解消でき、製品歩留りを向上できるアクティブマトリクス基板の製造方法を提供することを目的とする。

【0007】

【課題を解決するための手段】本発明のアクティブマトリクス基板の製造方法は、透明絶縁性基板上に薄膜トランジスタをマトリクス状に配設して薄膜トランジスタアレイを形成する第1の工程と、該薄膜トランジスタアレイの表面に有機系透明絶縁膜を塗布してパターニングする第2の工程と、該有機系透明絶縁膜を不活性ガスをプラズマ化した雰囲気下で表面処理する第3の工程と、表面処理後の該有機系透明絶縁膜の表面に透明導電膜をパターニングし、該薄膜トランジスタアレイのドレイン電極に電気的に接続される絵素電極を形成する第4の工程とを含んでおり、そのことにより上記目的が達成される。

【0008】ここで、本発明においては、有機系透明導電膜として、アクリル樹脂膜やポリイミド膜を使用する。

【0009】

【作用】上記のように、透明絶縁膜の表面をAr、N₂、Ne等の不活性ガスをプラズマ化した雰囲気下で表面処理すると、透明絶縁膜の表面精度を向上でき、該透明絶縁膜とこの上に形成される絵素電極との密着性を高めることができる。従って、ウェットエッチャントが両者間に染み込むことがなく、絵素電極の剥離を確実に防止できる。

【0010】

【実施例】本発明の実施例について以下に説明する。

【0011】図1および図2は本発明方法により製造されるアクティブマトリクス基板を示しており、このアクティブマトリクス基板は、透明のガラス基板1上にソースバスライン7およびゲートバスライン3を縦横に配線し、両バスライン3、7で囲まれた矩形状の領域に絵素電極11をマトリクス状に配設してなる。

【0012】ゲートバスライン3にはゲート電極2が分岐され、ソースバスライン7にはソース電極6が分岐される。ゲート電極2の位置にはスイッチング素子として機能するTFT30が形成される。このTFT30は前記ソース電極6とドレイン電極8を備え、図1に示す構造になっている。

【0013】以下、図1に従いアクティブマトリクス基板の構造およびその製造手順について説明する。図1(a)に示すように、まずスパッタリング法によりガラス基板1上に膜厚300nmのTa膜を成膜し、次いで、該Ta膜をフォトリソグラフィによりパターニングしてゲート電極2を形成する(この時図2に示すゲートバスライン3が同時に形成される)。次に、プラズマCVD法により、ガラス基板1上にゲート電極2を覆うようにして膜厚400nmのSiNx膜からなるゲート絶縁膜4、膜厚100nmのa-Siからなる半導体層5およびリン(P)をドーピングした膜厚40nmのn+-Si層9を連続して積層し、これを図示する断面形状にパターニングする。

【0014】次いで、これらを覆うようにしてガラス基板1上にスパッタリング法により膜厚200nmのMo膜を成膜し、これをパターニングしてソース電極6(この時図2に示されるソースバスライン7が同時に形成される)およびドレイン電極8を得、これによりTFT30がマトリクス状に配置されたTFTアレイが作成される。

【0015】次に、図3(b)に示すように、ガラス基板1上に膜厚1μmのアクリル樹脂からなる層間絶縁膜10を塗布し、これをパターニングして、該層間絶縁膜10のドレイン電極8の端部に相当する部分にコンタクトホール12を開口する。次いで、層間絶縁膜10の表面を、Ar、N₂、Neのような不活性ガスをプラズマ化した雰囲気下で表面処理する。これにより、層間絶縁膜10の表面精度が向上する。

【0016】次いで、図3(c)に示すように、層間絶

縁膜10の上にスパッタリング法により膜厚100nmのITO膜を成膜し、この膜をレジストおよびウェットエッチャントを用いたエッティング法によりパターニングして、図示する形状の絵素電極11を得る。該絵素電極11の端部はコンタクトホール12を通してドレイン電極8の端部に電気的に接続される。

【0017】本発明によれば、上記のように層間絶縁膜10の表面を表面処理する工程を含むので、両者は密着し、パターニングの際にウェットエッチャントが両者の間に染み込むことがない。従って、これに起因する不具合を発生することがない。

【0018】なお、上記実施例では、層間絶縁膜10としてアクリル樹脂膜を用いたが、こりに限らず、ポリイミド膜を用いてもよい。

【0019】

【発明の効果】以上の本発明方法によれば、透明絶縁膜の表面処理を行う工程を含むので、該透明絶縁膜の表面にその後に形成される絵素電極との密着性を向上できる。従って、該絵素電極を形成するパターニングの際にウェットエッティングが両者間に染み込んで、絵素電極の剥離を生じ、断線等の不具合を引き起こすことがない。それ故、アクティブマトリクス基板の歩留まりが向上し、製造コストを低減できる利点がある。

【図面の簡単な説明】

【図1】本発明のアクティブマトリクス基板の製造工程を示す、図2のA-A線に相当する断面図。

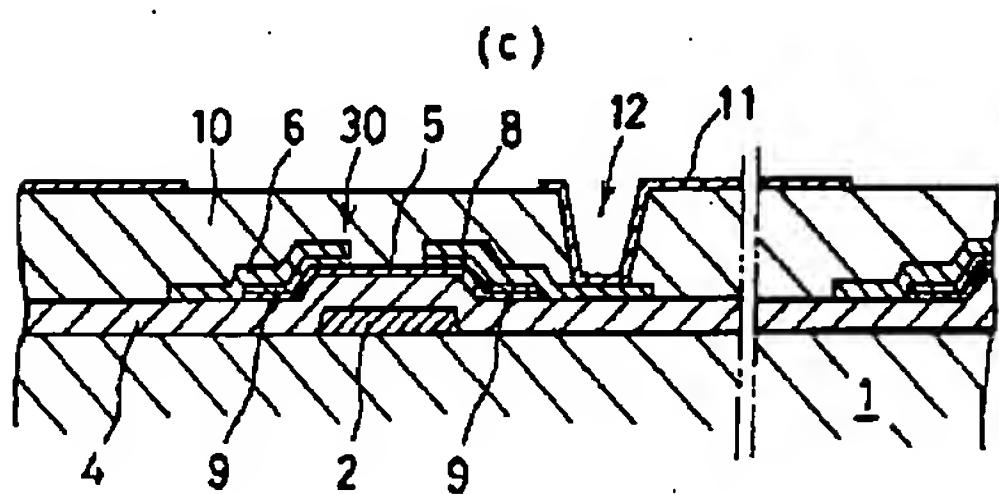
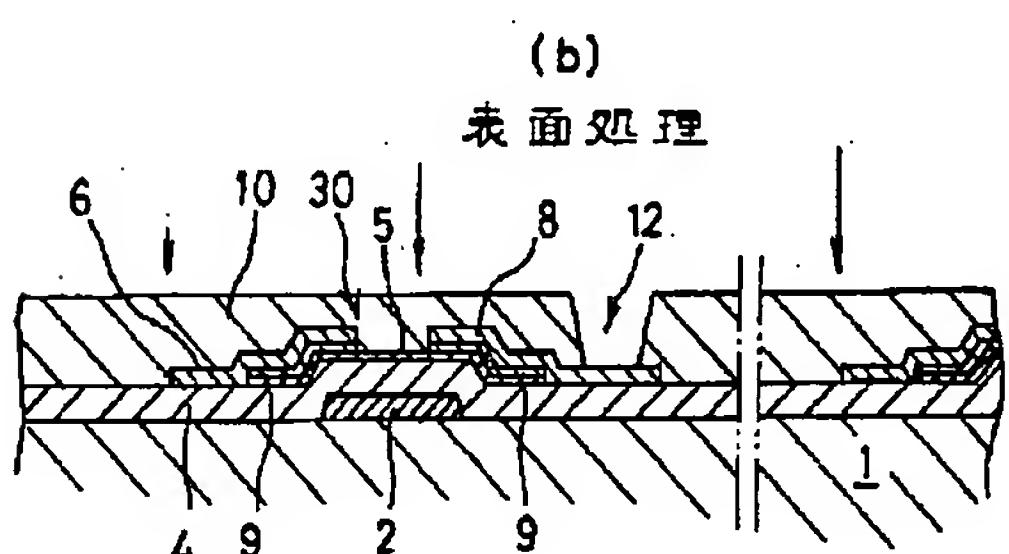
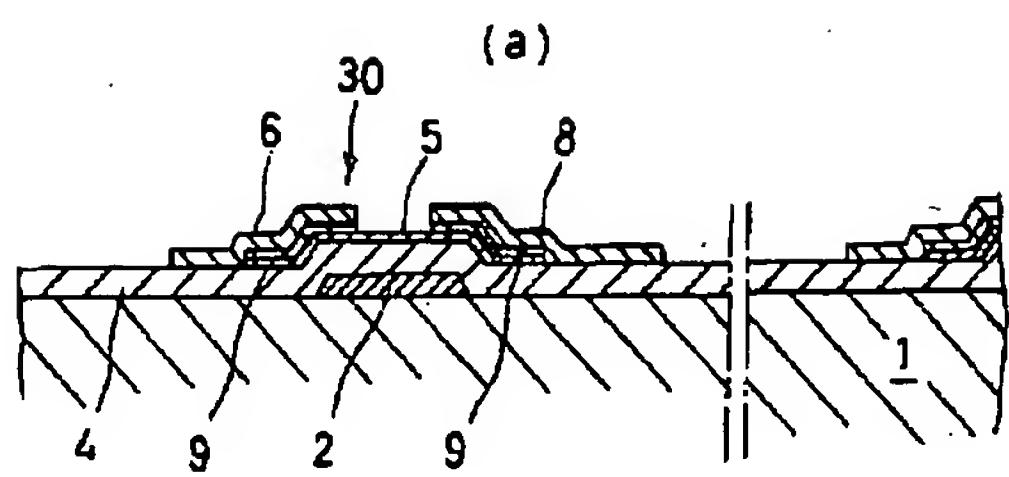
【図2】本発明方法により製造されたアクティブマトリクス基板の平面図。

【図3】従来例を示すアクティブマトリクス基板の断面30図。

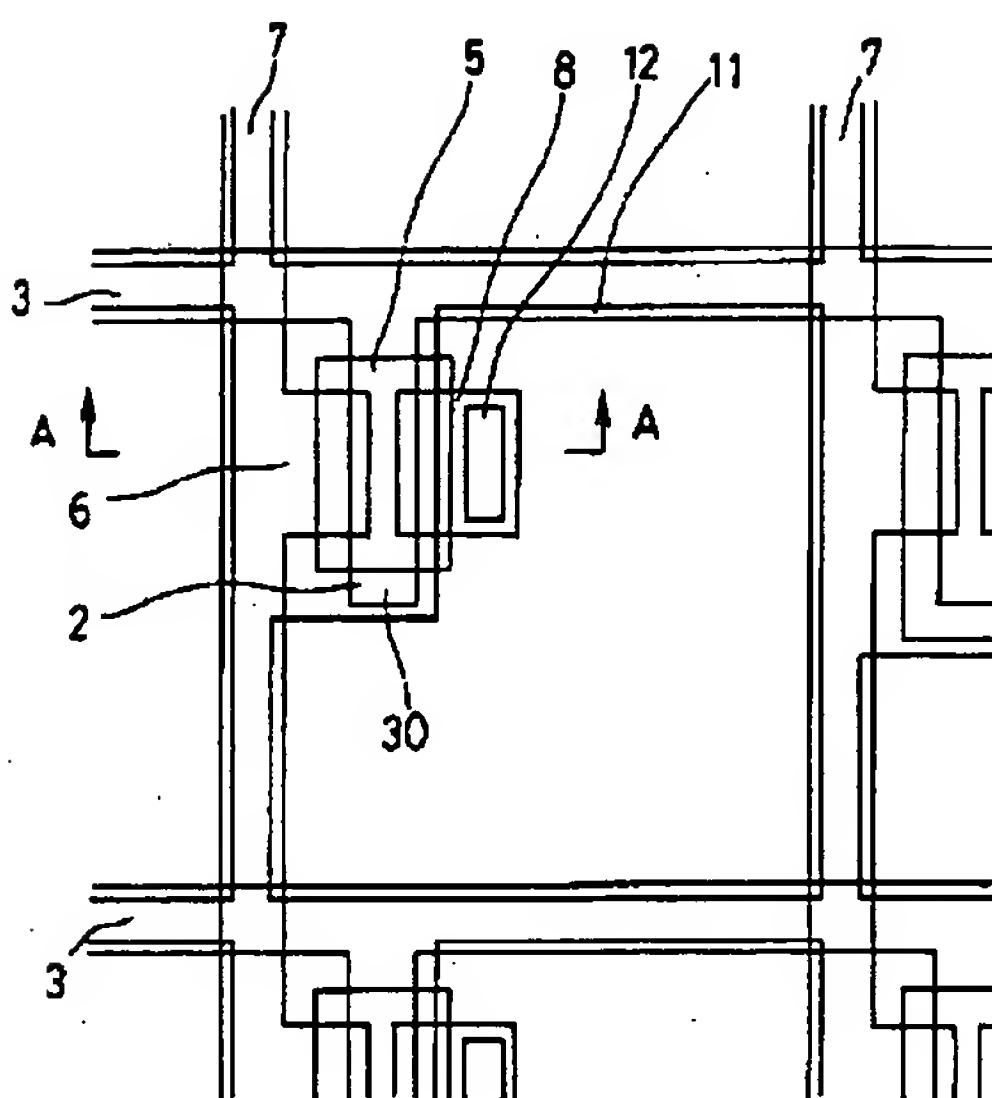
【符号の説明】

- | | |
|----|----------|
| 1 | ガラス基板 |
| 2 | ゲート電極 |
| 4 | ゲート絶縁膜 |
| 5 | 半導体層 |
| 6 | ソース電極 |
| 8 | ドレイン電極 |
| 9 | n+-Si層 |
| 10 | 層間絶縁膜 |
| 11 | 絵素電極 |
| 12 | コンタクトホール |
| 30 | TFT |

【図1】



【図2】



【図3】

